



Lloyd Beeler

Diplomand	Lloyd Beeler
Examinator	Prof. Guido Keel
Experte	Robert Reutemann, Miromico AG, Zürich, ZH
Themengebiet	Sensor, Actuator and Communication Systems

## Integrierter Delta-Sigma-Wandler

### Entwicklung und Verifikation eines integrierten Delta-Sigma-Wandler

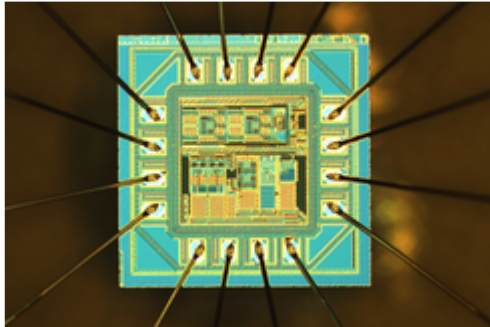


Abbildung 1: Aufnahme des Die (Plättchen) des Prototyps, die Kantenlängen betragen je 1mm

**Ausgangslage:** Diese Master Arbeit bildet den Abschluss des Projektes "Entwicklung eines integrierten Delta-Sigma-Wandlers", welches mit der Projektarbeit 1 "Entwicklung eines Delta-Sigma-Modulators 2. Ordnung" begann und mit der Projektarbeit 2 "Implementieren eines Delta-Sigma-Modulators 2. Ordnung" fortgesetzt wurde. In der Projektarbeit 1 wurde die analoge Schaltung des Modulators in Switched Capacitor (SC) Technik entwickelt und simuliert. Die Projektarbeit 2 umfasste das Entwerfen und Testen des Chip-Layouts. Der Prototyp des entwickelten Chips wurde von X-FAB hergestellt und zu Beginn der Masterarbeit ausgeliefert. Abbildung 1 zeigt den hergestellten Die (Plättchen) des Prototyps. In der Masterarbeit soll der Prototyp ausgemessen und verifiziert werden. Zusätzlich ist auch ein Dezimationsfilter für die Dezimation des Modulator Bit Streams zu entwickeln, welches den Delta Sigma Wandler vervollständigt.

**Vorgehen:** Begonnen wurde die Arbeit mit dem Ausarbeiten einer geeigneten Teststruktur. Der realisierte Testaufbau ist in Abbildung 2 dargestellt. Damit der Prototyp ausgemessen werden kann, wurde ein PCB erstellt, auf dem der Device Under Test (DUT) bestückt wird. Die Ansteuerung und das Auslesen der Testsignale des Test Boards (DSM Board) wurde mit dem FPGA Board DE2-115 umgesetzt. Das digitale Dezimationsfilter für die Dezimation des Delta Sigma Modulator Bit Streams wurde ebenfalls im FPGA untergebracht. Für die Auswertung der Messungen wurde ein Matlab Skript geschrieben. Der Messablauf beginnt mit dem Anregen des DUT mit einem Funktionsgenerator, der durch den PC angesteuert werden kann. Der vom DUT generierte Bit Stream wird vom FPGA eingelesen, dezimiert und als Sequenz abgespeichert. Diese Sequenz wird anschliessend auf den PC übertragen. Die Auswertung der Messungen erfolgt schlussendlich in Matlab.

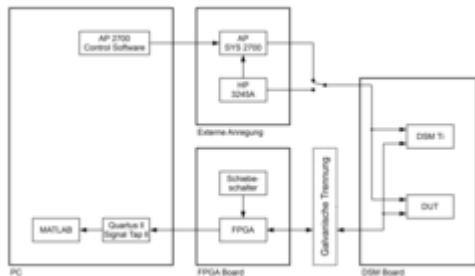


Abbildung 2: Blockdiagramm des Testaufbaus

**Ergebnis:** Die ersten Messungen ergaben sehr unbefriedigende Resultate und es wurde viel Zeit investiert, um den Testaufbau zu verbessern. Schlussendlich konnte eine maximale Signal to Noise Ratio (SNR) von 86dB gemessen werden, was einer Auflösung von 14Bit entspricht. Die SNR der simulierten Schaltung konnte somit zwar nicht bis 98dB (16Bit) bestätigt werden, doch wird die tiefere Beschränkung höchstwahrscheinlich durch den Testaufbau verursacht. Es ist deshalb zu erwarten, dass der DUT eine höhere SNR erreicht, als die gemessenen 86dB. Das Ausgangsspektrum des DUT ist in Abbildung 3 dargestellt.

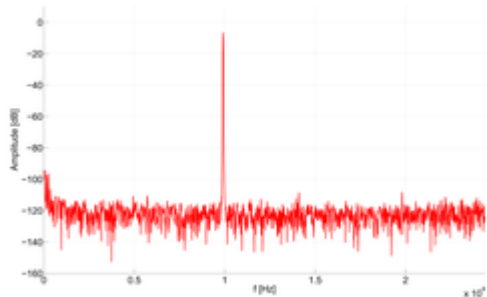


Abbildung 3: Messung des Ausgangsspektrums für eine Sinusanregung von 1Vpp (-6dB) und 10kHz