

# FPGA basierender DAC

Studentin

Milena Squindo

**Aufgabenstellung:** Am Institut für Mikroelektronik und Embedded Systems IMES wurden in der Vergangenheit verschiedene FPGA-basierte Analog-zu-Digital Konverter (ADC) entwickelt. Dabei wurde darauf geachtet, dass nur eine minimale Anzahl an externen Bauteilen verwendet werden muss, da diese teuer sind und mehr Leistung benötigen. Dies soll nun ebenfalls für einen Digital-zu-Analog Konverter (DAC) umgesetzt werden.

**Vorgehen:** Dabei wird zuerst eine geeignete Architektur mit Hilfe einer Literaturstudie ausgewählt, welche danach auf einem FPGA umgesetzt wird. Schlussendlich soll der DAC noch ausgemessen werden.

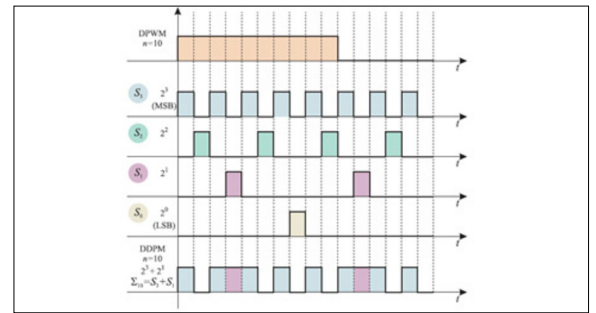
Als Teil der Literaturstudie wurde zu drei verschiedenen DAC Architekturen recherchiert. Ausgewählt wurde schliesslich das DDPM Verfahren aufgrund der einfachen Anforderungen an das analoge Filter und der simplen Implementierung der digitalen Logik. Das DDPM (Dyadic Digital Pulse Width Modulation) Verfahren ist eine Weiterentwicklung der herkömmlichen digitalen Pulsweitenmodulation (DPWM). Bei DPWM wird für einen digitalen Wert  $n$  bei einer Auflösung von  $N$  während den ersten  $n$  Clock Zyklen '1' ausgegeben und danach für  $2^N - n$  '0' wie oben in Abbildung 1 zu sehen. Bei DDPM hingegen wird jedem Bit des Datenwertes eine eigene periodische Sequenz zugeteilt, die genau so viele '1' beinhaltet, wie der Wert, der das Bit darstellt. Diese Sequenzen werden aufaddiert und ergeben das DDPM Signal. Dies verringert die spektralen Anteile bei tiefen Frequenzen und senkt somit die Anforderungen an den analogen Tiefpass. Als FPGA wurde für diese Arbeit das ZedBoard verwendet. Die Daten werden über einen IP-Block von einem PC direkt an das FPGA gesendet. Anschließend werden sie in einem Block RAM gespeichert und danach vom DDPM Block ausgegeben. Schlussendlich wird das DDPM Signal mittels analogen RC-Filter zu dem gewollten Signal umgewandelt.

**Ergebnis:** Die Implementierung des DAC hat grundsätzlich funktioniert. Ausgemessen wurde der DAC bei einer Auflösung von 16 Bit und einer Clock Frequenz von 100MHz. Dies entspricht einer Samplerate von 1.526 kS/s. Das DDPM-Signal wurde digital ausgemessen und gefiltert. Bei Filterung mit einem Butterworth Filter 2. Ordnung entstanden die sehr schlechten Werte von 155.2 maximale DNL und 1355 maximale INL. Dies konnte ein wenig verbessert werden zu 124.5 maximale DNL und 1131 maximale INL durch die Verwendung eines Filters 3. Ordnung.

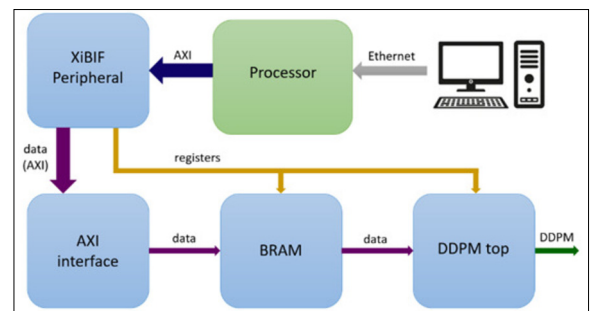
Mit diesen Werten ist der DAC so nicht brauchbar. Falls der Grund dafür gefunden und behoben werden kann, könnte der DDPM-DAC jedoch sehr nützlich sein. Das dynamische Einstellen der Auflösung ist bei

wenigen anderen DAC-Architekturen so simpel. Weitergehend könnte die Verwendung eines SERDES direkt auf dem FPGA in Betracht gezogen werden, um auch bei hohen Auflösungen höhere Sampleraten zu erreichen.

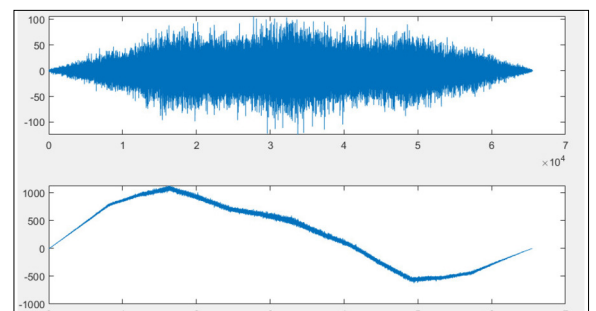
**Abbildung 1: Dyadische Sequenzen als Ersatz von herkömmlichen PWM-Signalen**  
P. S. Croveti, 2017, doi: 10.1109/TCSI.2016.2614231



**Abbildung 2: Übersicht über den Datenfluss im FPGA**  
Eigene Darstellung



**Abbildung 3: oben DNL und unten INL bei 16 Bit Auflösung gefiltert mit Butterworth Filter 3. Ordnung**  
Eigene Darstellung



Referenten

Prof. Dr. Paul Zbinden,  
Lukas Leuenberger

Themengebiet  
Mikroelektronik

Projektpartner

IMES Institute for  
Microelectronics and  
Embedded Systems,  
OST, Rapperswil, SG