



Stefan Hedinger

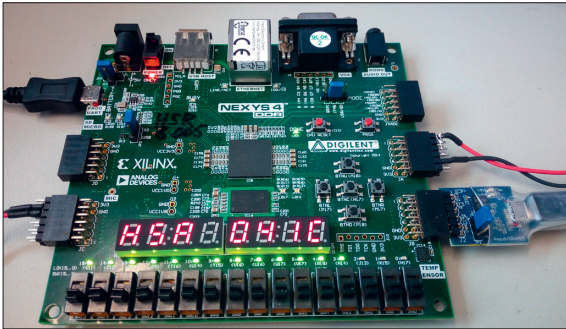


Michael Schwenter

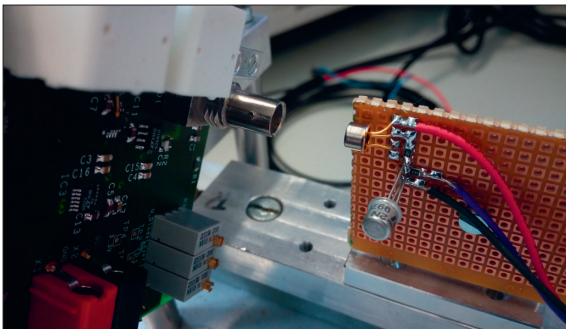
Diplomanden	Stefan Hedinger, Michael Schwenter
Examinator	Prof. Dr. Paul Zbinden
Experte	Robert Reutemann, Miromico AG, Zürich, ZH
Themengebiet	Mikroelektronik

Time to Digital Converter auf einem FPGA

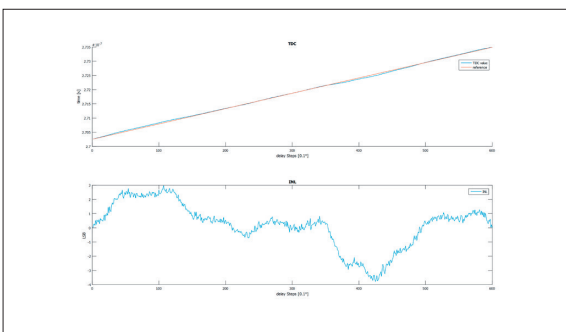
Messaufbau mit Time of Flight



Das verwendete FPGA-Board von Digilent



Time of Flight Versuchsaufbau mit einer Laserdiode als Sender und einer Fotodiode als Empfänger



Berechnung der INL zur Bestimmung der Genauigkeit des TDC

Einleitung: In vielen Systemen muss eine physikalische Grösse gemessen und digital verarbeitet werden. Beim Time of Flight wird die «Flugzeit» des Lichts zwischen der Lichtquelle und dem Empfänger gemessen. Diese extrem kurze Zeit, welche sich im Pikosekunden-Bereich bewegt, kann mittels eines Time to Digital Converter (TDC) gemessen werden. Der in dieser Arbeit implementierte TDC ist vollständig digital. Um eine Auflösung im ps-Bereich zu erzielen, werden zwei Zähler benötigt – ein Grobzähler und ein Feinzähler. Der Grobzähler ist ein einfacher Zähler und ist direkt vom Clock abhängig. Der Feinzähler nutzt die Verzögerungszeit vom Eingang eines digitalen Bausteins bis zu dessen Ausgang. Faktisch gesehen wird mit den digitalen Bausteinen eine Verzögerungskette aufgebaut. Durch Verrechnung des Grob- und Feinzählers erhält man die gemessene Zeit mit einer Auflösung im ps-Bereich – und dies alles mit relativ kostengünstiger Hardware.

Ziel der Arbeit: Im Rahmen dieser Arbeit soll ein digitaler TDC auf einem Field Programmable Gate Array (FPGA) implementiert werden. Er soll eine minimale Auflösung von 25 ps und einen Messbereich von 2 μ s aufweisen. Die integrale Nichtlinearität (INL), welche ein Mass für die Genauigkeit des TDC ist, soll nicht mehr als $\pm 1,5$ LSB betragen. Der TDC soll mit einem Funktionsgenerator vermessen und charakterisiert werden. Die Abhängigkeit des TDC von äusseren Einflüssen wie Temperatur- oder Versorgungsschwankungen, soll getestet und bei Bedarf kompensiert werden. Ausserdem soll untersucht werden, wie viele TDC-Kanäle auf einem FPGA realisiert werden können. Zum Schluss soll ein Aufbau für Time of Flight erstellt werden.

Ergebnis: Die geforderte minimale Auflösung des TDC konnte mit ~ 15 ps übertroffen werden. Die Bestimmung der INL erwies sich aufgrund von nicht vorhandenen Messgeräten mit der benötigten extremen Genauigkeit als sehr herausfordernd. Um die INL dennoch annähernd zu bestimmen, wurde der Wandler über ein Zeitintervall von 3,3 ns vermessen und die Ergebnisse wurden gemittelt. Somit konnte eine INL von $\sim \pm 4$ LSB ermittelt werden. Die Messungen sind stark temperaturabhängig, was sich merklich auf die INL auswirkt. Um eine genauere Zeitmessung und somit eine bessere INL mit dem TDC zu erreichen, sollte für eine zukünftige Anwendung eine Temperaturkompensation implementiert werden. Insgesamt konnten sechs TDC-Kanäle auf einem FPGA implementiert werden. Die begrenzenden Ressourcen waren dabei die Routingverbindungen im Innern des FPGA.