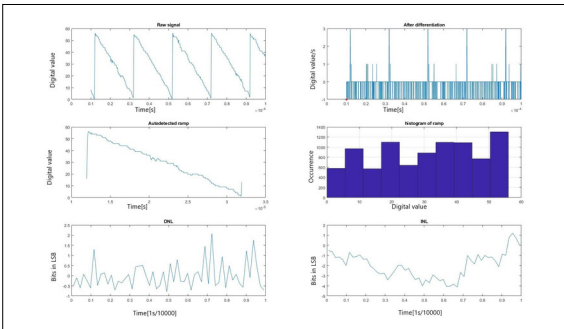




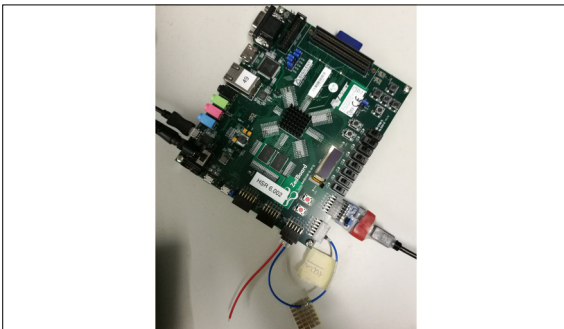
Gökhan Kaya

Diplomand	Gökhan Kaya
Examinatoren	Prof. Dr. Paul Zbinden, Roman Willi
Experte	Robert Reutemann, Miromico AG, Zürich, ZH
Themengebiet	Mikroelektronik

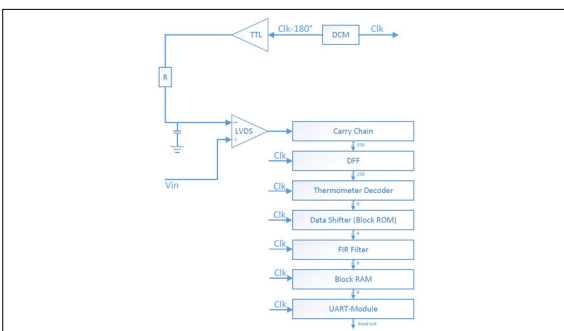
FPGA-basierter Analog-Digital-Wandler



Messresultate von einem Sägezahnsignal



ADC implementiert auf einem ZedBoard mit externem 100Ω Widerstand



Grundaufbau des ADC

Einleitung: In Embedded Systems mit höheren Anforderungen an Datendurchsatz oder bei Echtzeitanwendungen werden die Mikroprozessor-basierten Systeme von den Field-Programmable-Gate-Array (FPGA) basierten Systemen konkurrenziert. In fast jedem Embedded System sind auch analoge Interfaces enthalten. Dies führt dazu, dass Analog-to-Digital-Converter (ADC) in einem Embedded System oft eine wichtige Rolle spielen. In einem FPGA-basierten System können entweder externe oder im FPGA integrierte dedizierte ADC's verwendet werden. Externe ADC's bedeuten zusätzliche Bauteile und führen zu erhöhten Kosten. Dedizierte integrierte ADC's erfüllen häufig die Anforderungen bezüglich Auflösung oder Geschwindigkeit nicht, da meist Komponenten mit einer Auflösung von ungefähr 10 Bit und einer Geschwindigkeit von ca. 1 MS/s integriert sind. Um die Anzahl externer Bauteile zu minimieren und trotzdem eine höhere Geschwindigkeit zu erreichen, wird ein ADC mit den auf dem FPGA vorhandenen digitalen Komponenten realisiert, der mit dem Time-to-Digital-Converter (TDC) Prinzip arbeitet.

In diesem Verfahren wird der Systemtakt verwendet, um ein RC-Glied aufzuladen und so eine Rampe zu generieren. Diese Rampe wird in einem Komparator mit dem zu wandelnden Eingangssignal verglichen. Dabei wird eine LVDS Zelle als Komparator genutzt. Von der Zeit Δt zwischen dem Anfang der steigenden Taktrampe und dem Umschalten des Komparator wird auf die Eingangsspannung geschlossen.

Ziel der Arbeit: Das Ziel ist es, einen ADC zu implementieren, der auf einem FPGA implementiert werden kann und maximal einen Widerstand und einen Kondensator als externe Bauteile benötigt. Technisch soll der ADC eine Auflösung von 7 Bit bei einer Geschwindigkeit von 100MS/s und einer integralen Nichtlinearität (INL) von +/-1 LSB (Least Significant Bit) erreichen.

Ergebnis: Das Resultat ist ein voll funktionsfähiger ADC mit integrierter Direct-Current (DC) Korrektur und Finite-Impulse-Response-Filter (FIR-Filter). Als externes Bauteil wird ausschliesslich ein 100Ω Surface-mounted-Device (SMD) Widerstand verwendet. Die gewandelten Daten können über die Schnittstelle Universal-Asynchronous-Receiver-Transmitter (UART) ausgegeben und eine gewünschte DC- bzw. Frequenzgangkorrektur kann vorgenommen werden. Die zulässige Eingangsspannung liegt zwischen 1.19V und 2.19V. Die Geschwindigkeit liegt bei 100MS/s und die Auflösung beträgt 5.8Bit. Die differenzielle Nichtlinearität (DNL) kann mit maximal 2 LSB und die INL mit maximal 4 LSB angegeben werden. Im Falle einer DC-Eingangsspannung ist im Ausgang des ADC's kein Quantisierungsrauschen messbar.