



Christian Büttiker

Student	Christian Büttiker
Examinatoren	Prof. Dr. Paul Zbinden, Lukas Leuenberger
Themengebiet	Mikroelektronik
Projektpartner	ams International AG, Jona, St. Gallen

Konfigurierbarer LVDS Kommunikations-Buffer auf einem FPGA

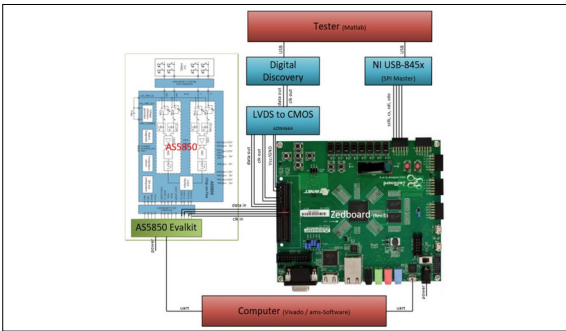


Abb. 1: Konzept des Kommunikationsbuffer-Demonstrationssystem Darstellung inkl. AS5850 Blockschaltbild (www.ams.com)

Einleitung: Die ams AG entwickelt und produziert Sensoren, welche unter anderem in Smartphones, in der Industrieautomation, der Automobilindustrie und der Medizinaltechnik eingesetzt werden. Nach der Produktion werden diese Sensoren mit einem automatisierten Tester auf ihre Funktionalität geprüft. Dazu werden bei bestimmten Produkten die Daten über eine LVDS-Schnittstelle ausgelesen. Zurzeit ist es der ams AG nur möglich, mit dem vorhandenen Tester eine LVDS-Schnittstelle zeitgleich zu betreiben respektive einen Sensor zu testen. Um zukünftig mehrere Schnittstellen gleichzeitig nutzen zu können, soll der Tester mit einem FPGA erweitert werden.

Ziel der Arbeit: Hauptbestandteil dieser Arbeit ist die Entwicklung eines Kommunikationsbuffers und eines vereinfachten Demonstrationssystems (Abb. 1), welches eine LVDS-Schnittstelle mit einer Übertragungsrate von 100Mbit/s zu einem Sensor von ams AG beinhaltet. Der Tester wird mit einem Computer simuliert. Des Weiteren beinhaltet das Demonstrationssystem eine Konfigurationsschnittstelle, welche dem Tester ermöglicht, den Kommunikationsbuffer zu konfigurieren. Diese Schnittstelle soll auf SPI basieren und mit dem vorhandenen Tester kompatibel sein.

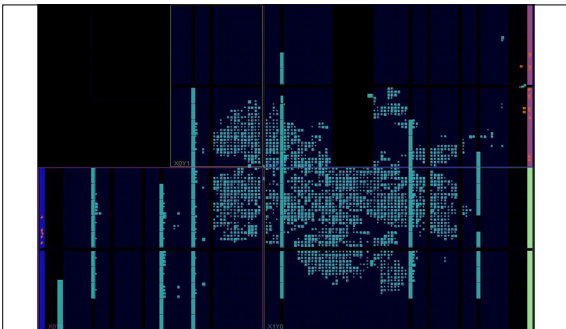


Abb. 2: FPGA-Implementation inkl. differentieller Schnittstellen (orange rechts) Eigene Darstellung

Ergebnis: Das Demonstrationssystem, welches im Fokus dieser Arbeit ist, wurde entwickelt (Abb. 2 und 3) und funktionell in Betrieb genommen. Via Computer und einer implementierten SPI-Schnittstelle ist es möglich, das Startwort der Datenübertragung dem Kommunikationsbuffer zu übermitteln. Die Daten werden über eine LVDS-Schnittstelle parallelisiert, entsprechend dem Startwort sortiert und zwischengespeichert. Die Ausgabe der Daten findet über eine weitere LVDS-Schnittstelle statt. Zur Synthesezeit können die Wortlänge und Anzahl Wörter der Übertragung definiert werden. Das System ist mit einem AS5850 Digital X-Ray Flat Panel Readout IC der ams AG bei einer Übertragungsrate von 320Mbit/s erfolgreich getestet worden.

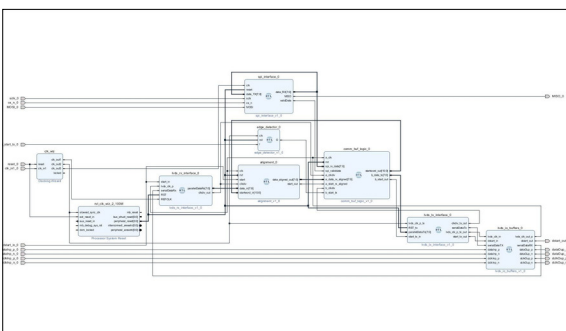


Abb. 3: Blockdesign der FPGA-Implementation Eigene Darstellung