

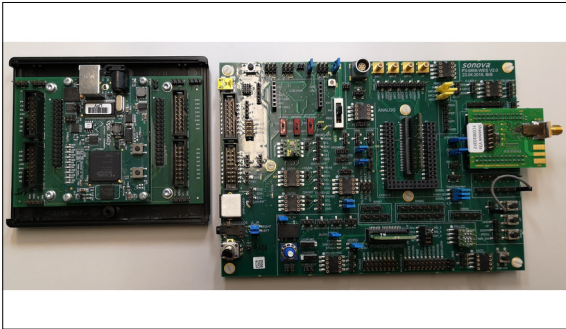
Luca Gubser



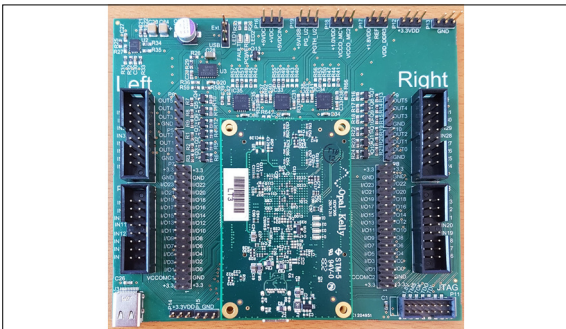
Reto Huonder

Diplomanden	Luca Gubser, Reto Huonder
Examinatoren	Prof. Dr. Paul Zbinden, Roman Willi
Experte	Robert Reutemann, Miromico AG, Zürich, ZH
Themengebiet	Mikroelektronik
Projektpartner	Sonova AG, Stäfa, ZH

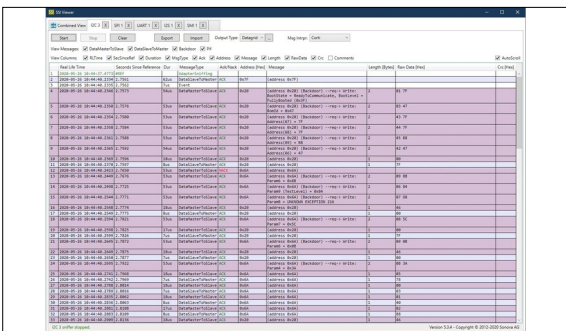
Protokoll Sniffer Redesign



Links: Bisheriger Sniffer
Rechts: "Hörgerät" für Entwicklung
Eigene Darstellung



Redesign, Base Board inkl. FPGA-Modul XEM7305
Eigene Darstellung



Windows-Applikation mit I2C Beispiel
Eigene Darstellung

Aufgabenstellung: In den Hörgeräten der Sonova AG sind verschiedene ASIC verbaut. Diese ASIC kommunizieren über diverse Protokolle (UART, SPI, I2C, I2S, SMI). Um die Entwicklung der Hörgeräte zu erleichtern, wurde ein Testaufbau entwickelt, mit dem sämtliche Protokolle abgehört ("gesniff") werden können. Dieses System basiert auf einem FPGA-Board mit Spartan-3-Technologie. Zusätzlich existiert eine Windows-Applikation, die mit dem Board kommuniziert und sämtliche Datenströme der verschiedenen Protokolle dekodieren und darstellen kann.

Primärziel der Arbeit besteht darin, die etwas in die Jahre gekommene Spartan-3-Technologie möglichst preiswert auf einen neueren Stand der Technik zu bringen. Dazu gehört die Entwicklung eines Base Boards, auf das ein FPGA-Modul nach altem Vorbild aufgesteckt werden kann. Das VHDL-Redesign soll weiterhin mit der bestehenden Windows-Applikation funktionieren.

Vorgehen: Zu Beginn der Arbeit stellte sich die Auswahl eines passenden FPGA-Moduls in den Vordergrund. In Anlehnung an das bisherige Design ist die Wahl auf das XEM7305 von Opal Kelly gefallen. Somit ist die Kompatibilität in Bezug auf das bestehende API gegeben. Dieses Modul bietet dem FPGA keine Spannungsversorgungen; sie sind auf dem Base Board realisiert.

Für die Einkopplung und Aufbereitung der Signale wurden Komparatoren eingesetzt, die einen Push-Pull-Ausgang besitzen und das schnellste Protokoll (5 MHz) problemlos schalten können. Das Base Board kann zwei "Hörgeräte" gleichzeitig mit dem FPGA-Modul verbinden.

Parallel zur Entwicklung des Base Boards wurde das VHDL-Design portiert. Sämtliche VHDL-Module sind laufend mit Testbenches abgeglichen worden und allfällige Veränderungen konnten so festgestellt werden. Eine grosse Veränderung brachten die vorgegebenen Schnittstellen-Module von Opal Kelly mit sich, die von 16 Bit auf 32 Bit gewachsen sind. Mittels einer selbst entwickelten C#-Anwendung in Anlehnung an das API von Opal Kelly konnte das Verhalten der neuen Blöcke ausgetestet werden.

Ergebnis: Das Redesign interagiert mit der Windows-Applikation im gleichen Sinne wie das alte System. In der App musste lediglich neue USB-Treiber-Software eingebunden werden. Ansonsten konnten die Algorithmen beibehalten werden. Das neue System kann nun via Plug & Play in die Entwicklung von Sonova eingegliedert werden.