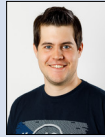




Irina Bösch



Michael Uhl

| | |
|----------------|--|
| Studenten | Irina Bösch, Michael Uhl |
| Examinatoren | Prof. Dr. Paul Zbinden, Dorian Amiet |
| Themengebiet | Mikroelektronik |
| Projektpartner | IMES Institut für Mikroelektronik und Embedded Systems, Rapperswil, SG |

Linearisierung eines FPGA-basierten Time to Digital Converter

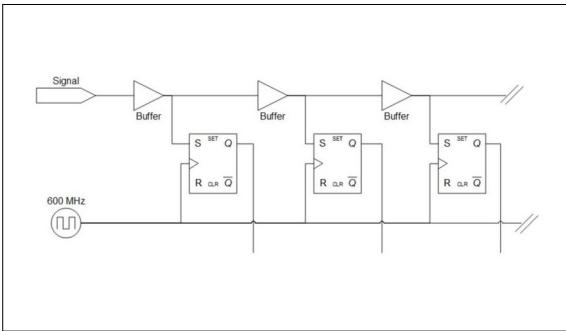


Abb. 1: Aufbau eines TDCs mittels Delay Line
Eigene Darstellung

Ausgangslage: Um hochpräzise Zeitmessungen durchzuführen, werden Messinstrumente mit Auflösung im Pikosekundenbereich benötigt. Nur so sind Anwendungen wie zum Beispiel Time of Flight oder Fluoreszenzlebensdauer-Mikroskopie möglich. Dazu braucht man Time to Digital Converter (TDC), welche hochpräzisen Stoppuhren entsprechen.

Ziel der Arbeit: Das Ziel der Arbeit war, einen bestehenden TDC auf einem FPGA in Betrieb zu nehmen und mit Hilfe einer eigens entwickelten Testumgebung Nichtlinearitäten aufzuspüren. Aus den daraus gewonnen Erkenntnissen sollen mehrere Methoden zur Linearisierung getestet und die besten implementiert werden.

Ergebnis: Die grössten Nichtlinearitäten verursachten die verschiedenen grossen Delays (Abb. 1) und deren unterschiedliche Reaktionszeit auf steigende und fallende Flanken (Abb. 3).

Folgende Lösungsansätze wurden umgesetzt:

- Die Multiline-Methode beruht darauf, dass mehrere Carry Chains (CC) parallel laufen und die Zeiten jeweils am Schluss gemittelt werden. Mit dieser Methode wird eine Standardabweichung (STD) von etwa 20 ps erzielt (Abb. 2).
- Die statistische Methode nutzt die Verteilung der gefüllten Bins, ermittelt daraus die Bin-Grösse und korrigiert die Nichtlinearitäten. Mit einer zusätzlichen Fallunterscheidung zwischen der steigenden und fallenden Flanke gelingt es, die Standardabweichung auf 7.5 ps zu begrenzen (Abb. 3).
- Zusätzlich wurde eine Kombination der oben genannten Methoden simuliert. Jede einzelne der 8 Carry Chains wurde zuerst kalibriert und anschliessend über alle gemittelt. Dabei konnte eine Standardabweichung von 6.5 ps erreicht werden.

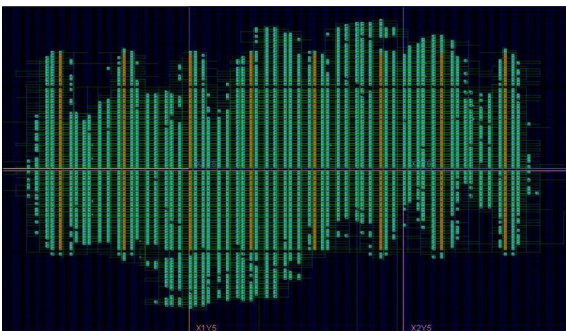


Abb. 2: Multiline-Methode mit acht parallelen Delay Lines (orange), wie es auf dem FPGA implementiert ist
Eigene Darstellung

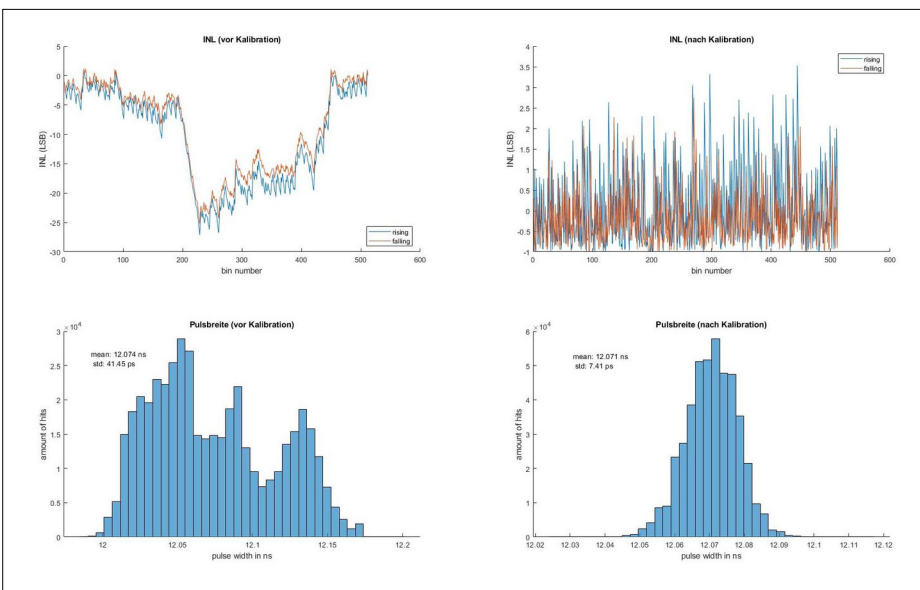


Abb. 3: Durch Kalibrierung verbessert sich die Präzision des Resultats um ein 5 bis 6-faches.
Oben: Integrale Nichtlinearität (INL), unten: Pulsbreite
Eigene Darstellung