

FPGA basierender SAR ADC

Implementation und Auswertung eines SAR- und Tracking-ADC auf dem ZedBoard

Student



Luca Brügger

Einleitung: In der heutigen Welt sind Analog-Digital-Wandler (ADCs) unverzichtbar. Zahlreiche Anwendungen erfordern eine solche Umwandlung, zum Beispiel analoge Sensoren, deren Signale digital weiterverarbeitet werden. Analoge Signale werden immer früher in der Verarbeitungskette digitalisiert, um die einfachere digitale Signalverarbeitung zu nutzen. ADCs gibt es in zahlreichen Ausführungen, die ein breites Spektrum an Spezifikationen abdecken. Der SAR-ADC (Successive Approximation ADC) beispielsweise hat die Eigenschaft, hohe Auflösungen bei geringem Stromverbrauch zu erreichen und gleichzeitig schnelle Wandlungszeiten beizubehalten. Die in dieser Arbeit vorgestellte SAR-ADC-Struktur ist für ein Field Programmable Gate Array (FPGA) geeignet, da der ADC mit nur wenigen analogen Komponenten und den im FPGA verfügbaren Logikblöcken implementiert werden kann. Gleichzeitig kann diese Struktur plattformunabhängig und skalierbar eingesetzt werden. Ein weiterer Vorteil liegt in der vielseitigen Anpassungsfähigkeit. Einmal aufgebaut, kann der SAR ADC während der Laufzeit durch die Implementierung verschiedener Algorithmen angepasst werden. Zum Beispiel kann ein Tracking-Algorithmus verwendet werden, um die Wandlungszeit auf Kosten der Bandbreite drastisch zu reduzieren. In dieser Arbeit wird gezeigt, wie ein SAR ADC in einem FPGA implementiert wird und welche Spezifikationen damit erreicht werden können. Weiter wurde ein Tracking-Algorithmus implementiert, um zu zeigen, dass die Rekonfigurierbarkeit gegeben ist.

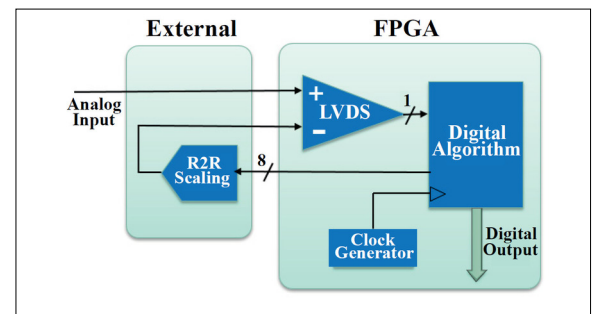
Vorgehen: Der SAR-ADC wird mit einer Mixed-Signal-Simulation mit den dominantesten parasitären Elementen sowie mit den toleranzbehafteten Widerständen untersucht. Der Algorithmus des ADCs wird auf dem FPGA des ZedBoards mittels VHDL (Very High-Speed Hardware Description Language) implementiert. Dieses ist über den FMC-Anschluss mit einer selbst entworfenen Leiterplatte (PCB) verbunden. Auf dem PCB befindet sich der analoge Teil mit der Sample-and-Hold-Schaltung und dem DAC (Digital Analog Converter), der als einfacher R2R-DAC implementiert ist. Um die Eingangsspannung mit der Ausgangsspannung des DAC zu vergleichen, benötigt ein SAR-ADC einen Spannungsvergleicher (Komparator). Für diesen Vergleich wird ein im FPGA vorhandener LVDS-Eingang (Low-Voltage Differential Signaling) zweckentfremdet. Am Schluss wurde noch ein Tracking-Algorithmus implementiert und ausgewertet. Die Simulation wird mit der Messung verglichen.

Ergebnis: Es entstand ein 8-Bit SAR ADC, welcher bei 5 MHz getaktet (625 kS/s) und einer Referenzspannung von 2.5V praktisch keinen Gain Fehler, einen Offset Fehler von -0.82 LSB und einen INL von [-0.5, 2.8] LSB aufweist. Dabei zu beachten

ist, dass der ADC nur bis ca. 2.3V (236 LSB) und nicht seiner vollen Aussteuerung (der Referenzspannung) zuverlässig funktioniert (Siehe Grafik INL). Der ENOB liegt bei 5.17 Bit bei einem Input Signal von 1 kHz. Der 8-Bit Tracking ADC, welcher bei 50 MHz getaktet (50 MS/s) und einer Referenzspannung von 2.5V praktisch keinen Gain Fehler, einen Offset Fehler von 5.35 LSB und einen INL von [-14.1, 0.5] LSB aufweist. Dieser ADC funktioniert ebenfalls nur bis ca. 2.3V. Der ENOB liegt bei 4.88 Bit bei einem Input Signal von 1 kHz. Die dominierende Genauigkeitseinschränkung kommt vom LVDS des FPGAs. Die Arbeit bietet Potenzial für die Umsetzung weitergehender Verbesserungsvorschläge.

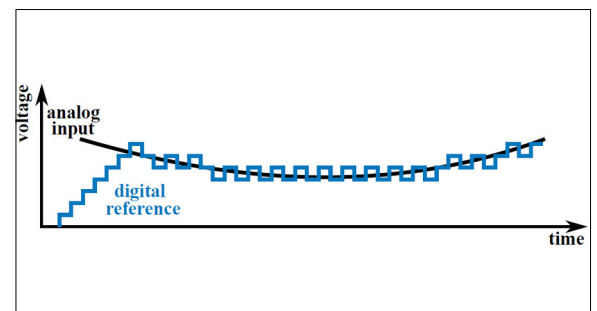
SAR ADC Blockschaltbild

ANALOG 2020; 17th ITG/GMM-Symposium, 2020, pp. 1-5.



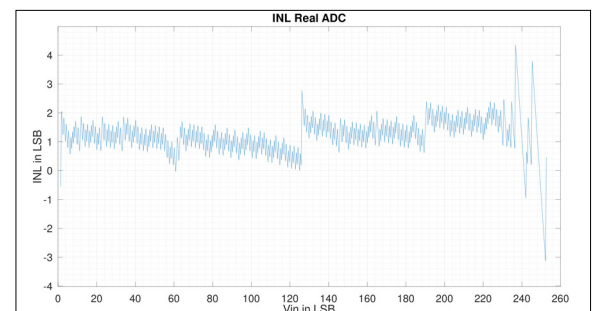
Tracking ADC

ANALOG 2020; 17th ITG/GMM-Symposium, 2020, pp. 1-5.



INL SAR ADC bei 5Mhz (625 kS/s)

Eigene Darstellung



Referenzen

Prof. Dr. Paul Zbinden,
Roman Willi

Themengebiet

Mikroelektronik

Projektpartner

IMES Institute for
Microelectronics and
Embedded Systems,
OST, Rapperswil, SG