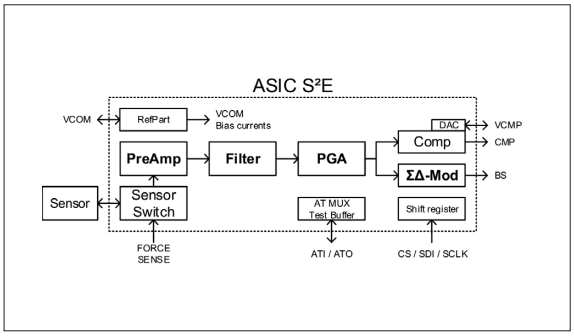
Roy
Seitz

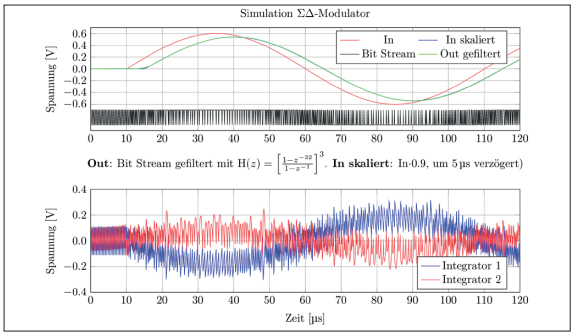
Diplomand	Roy Seitz
Examinator	Prof. Guido Keel
Experte	Robert Reutemann, Miromico AG, Zürich, ZH
Themengebiet	Sensorik

ASIC-Entwicklung für Sensorik-Anwendung

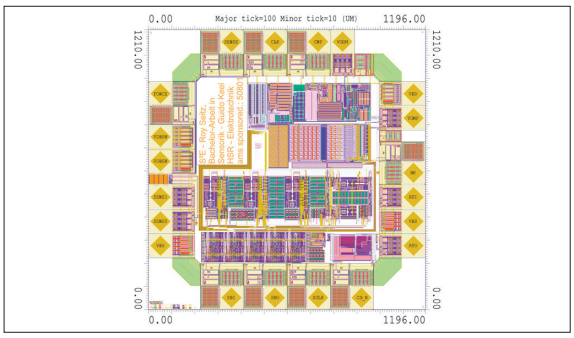
S²E – Sensor Signal Evaluation



Blockdiagramm des ASIC



Simulation ΣΔ-Modulator 2. Ordnung



Layout des gesamten Chips

Aufgabenstellung: In dieser Bachelorarbeit soll ein Test- und Demo-ASIC für einen Sensorik-Messpfad in der 0,35-µm-Technologie der Firma ams International entwickelt werden, welche die Produktion des Chips sponsert. Für die Entwicklung soll erstmals der neue ams-Design-Kit für Tanner-Tools verwendet werden, und es soll eine Vorlage für ähnliche IC-Design-Projekte entstehen. Die Entwicklung des ASIC beinhaltet insbesondere:

- Einarbeiten in den PDK (Process Design Kit)
- Umsetzen eines Messpfades in Switched-Capacitor-Technik inkl. ΣΔ-Modulator
- eine einfache digitale Schnittstelle zur Konfiguration von Verstärkungen und weiteren Einstellungen
- Simulation unter typischen und Worst-Case-Bedingungen
- Definition eines Padframes
- Zeichnen des Layouts
- Durchführen der Checks und Tape-out des Designs

Vorgehen: Als Erstes wurden die verfügbaren Standardzellen analysiert und eine Spezifikation des ASIC ausgearbeitet. Dabei wurde mit den Feedback-Schaltungen der einzelnen Stufen begonnen, wodurch die Last der Verstärker bekannt war. Der verwendete OTA wurde anschliessend für diese Last ausgelegt. Zur Konfiguration wird ein 80-Bit-Schieberegister mit SPI-Interface verwendet. Abschliessend wurden ein Padframe sowie Referenzspannungen und -ströme, welche über Standardzellen erzeugt werden, und Möglichkeiten zum Testen des ASIC definiert. Die Designarbeit begann mit dem Referenzteil, welcher vorwiegend aus Standardzellen besteht. Dies ermöglicht einen leichteren Einstieg ins Design, als mit vollständig neuen Zellen zu beginnen. Als Nächstes folgten das SPI-Interface und das Padframe. Mit der bis dahin gesammelten Erfahrung ging es dann zum eigentlichen Design des Messpfades, bestehend aus Verstärker, Filter und ΣΔ-Wandler.

Ergebnis: Im Zuge der Arbeit entstand ein vollständiger kleiner Chip, der verschiedene Möglichkeiten bietet, um ein Signal abzutasten, zu verstärken, zu filtern und anschliessend zu wandeln. Jeder Schaltungsblock kann über zwei zusätzliche Testpins individuell oder in Kombination mit anderen Blöcken getestet werden. Über das SPI-Interface können die Verstärkungen der einzelnen Stufen sowie Referenzströme, die Schaltschwelle des Komparators und die Grenzfrequenz des Filters eingestellt werden. Der ganze Chip benötigt 20 Pins und eine Fläche von 1,2 × 1,2 mm². Der Stromverbrauch beträgt bis zu 15 mA und die Taktfrequenz nominal 8 MHz.