

Zeitsynchronisation im Picosekundenbereich

Die zeitliche Synchronisation zweier FPGAs erreicht eine Genauigkeit unter 100 Picosekunden

Diplomanden



Christian Büttiker



Claudio Caponio

Einleitung: Am Institut für Mikroelektronik und Embedded Systems (IMES) wurde ein Time-to-Digital-Converter-(TDC)Block entwickelt. Dieser ermöglicht Zeitmessungen mit einer Genauigkeit von rund 100 Picosekunden. Anwendungen dafür sind unter anderem LiDAR oder ToF-Kameras. Bei diesen Anwendungen befinden sich Laser und Fotosensor am gleichen Ort, und die Zeit zwischen Laserpuls und Sensorpuls kann von einem einzelnen FPGA gemessen werden. Für ein aktuelles Industrieprojekt werden mehrere Messpunkte verwendet. Eine sehr präzise Zeitsynchronisation zwischen den FPGAs ist erforderlich, um die Messdaten zu vergleichen.

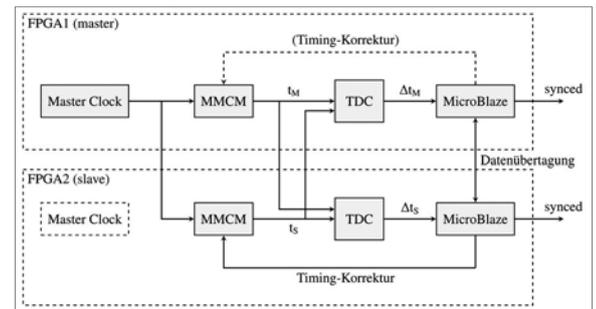
Ziel der Arbeit: Es soll eine Zeitsynchronisation zwischen mindestens zwei FPGAs mit einer Präzision von weniger als 100 Picosekunden umgesetzt werden. Dazu sollen in der Literatur verschiedene Ansätze verglichen werden. Der erfolgversprechendste war das White-Rabbit-Protokoll. Dieses und ein weiterer Ansatz sollen in FPGAs implementiert und die Synchronisationsgenauigkeit ausgemessen werden.

Ergebnis: Aufgrund des beschränkten Zeitrahmens und der Komplexität von White Rabbit scheiterte dessen Implementation. Dafür wurde ein eigenes Konzept erfolgreich umgesetzt. Eine Kommunikation zwischen den FPGAs wurde implementiert, der TDC-Block des IMES auf die ausgewählte Hardware angepasst und eine Regelung für die Phasenkorrektur entwickelt. Auf einem Prüfstand ist das System getestet und optimiert worden. Die Kommunikation zwischen den FPGAs läuft über TCP mittels Ethernet-Schnittstelle. Die Clockverteilung und Phasensyn-

chronisation wird mit Koaxialverbindungen realisiert. Die Synchronisation hat einen statischen Offset von 87,44 Picosekunden, welcher auf den Messaufbau zurückzuführen ist. Nach erfolgter Synchronisation beträgt der Jitter 28 Picosekunden. Als Optimierung wurde eine Kalibrierung des TDCs getestet, welche das unkalibrierte Resultat jedoch nicht verbesserte.

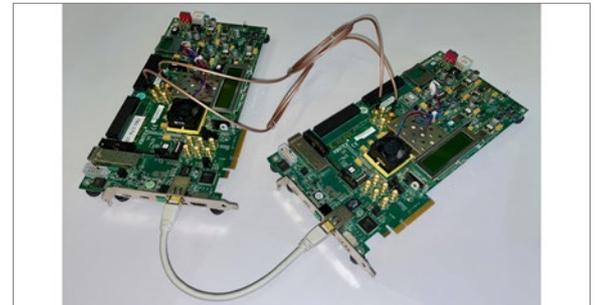
Die Phasenverschiebungen des Master Clocks werden gemessen und auf der Seite des Slaves korrigiert.

Eigene Darstellung



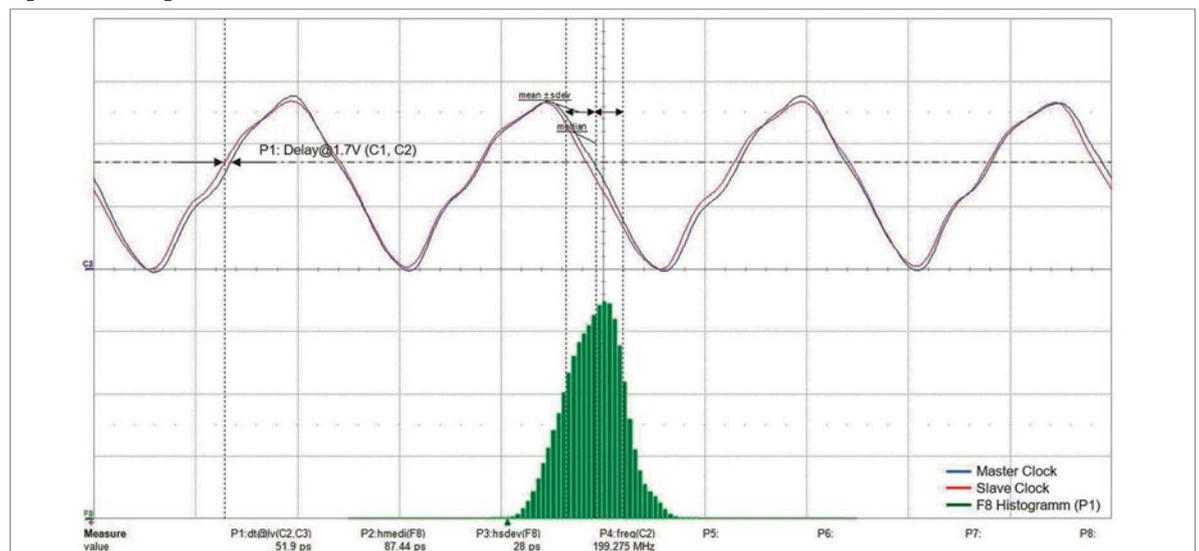
Hardwareaufbau mit zwei KC705-FPGA-Boards, Clockverteilung über Koaxialleitungen und Datenaustausch mittels TCP

Eigene Darstellung



Messung mit DSO: Berechnung eines Histogramms aus der Phasenverschiebung bei 1,7V steigender Flanke

Eigene Darstellung



Examinatoren

Prof. Dr. Paul Zbinden,
Dorian Amiet

Experte

Robert Reutemann,
Miomico AG, Zürich

Themengebiet

Mikroelektronik

Projektpartner

IMES Institut für
Mikroelektronik und
Embedded Systems,
Rapperswil, SG