

Kurzfassung der Studienarbeit

Abteilung	Informatik
Namen der Studenten	Marco Allenspach Markus Eichenberger
Semester	WS06/07
Titel der Studienarbeit	RISC-Simulator für Compilerbau
Examinatoren	Prof. Stefan F. Keller, Prof. Dr. Josef Joller

Kurzfassung der Studienarbeit

Thema und Aufgabe

Im Modul Compilerbau wird zur Zeit der ILOC Simulator eingesetzt. Dieser ist zu aufwendig in der Einarbeitung. Zudem sind nicht alle Versionen des ILOC identisch, weil Plattformabhängig.

Ziel dieser Studienarbeit ist die Entwicklung eines Simulators, der nebst einer 64 Bit RISC-CPU auch eine virtuelle Hardware beinhaltet. Folgende Komponenten sind gefordert: CPU, Bus, Memory, Timer, IRQ-Controller, Terminal.

Als Ergebnis der Simulation wird eine Code- und Laufzeitstatistik erwartet.

Vorgehensweise

Die Analyse der Anforderungen und die daraus resultierende Spezifikation wurde direkt als User-Manual verfasst. Somit steht interessierten eine detaillierte Beschreibung der Hardware zur Verfügung.

Parallel dazu wurde in Technologiestudien verschiedene Konzepte für die Umsetzung in Java untersucht und bewertet.

Somit konnte der Simulationskern und das User Interface unabhängig voneinander realisiert und getestet werden. Am Schluss wurden die beiden Teilaufgaben zusammengeführt.

Ergebnis

Das Ergebnis dieser Studienarbeit ist ein voll funktionsfähiger Simulator, welcher über eine ansprechende Bedienoberfläche verfügt.