

Studiengang	Elektrotechnik
Diplomandin / Diplomand	Peter Mettler
Diplomjahr	2002
Titel der Diplomarbeit	Layout and simulation of low power full-adder cells
Examinatorin / Examinator	Prof. Dr. Guido Schuster
Industriepartner	NTU Singapur

### Kurzfassung der Diplomarbeit

Mit dem technischen Fortschritt bei den mobilen Geräten hat low-power design einen immer höheren Stellenwert erlangt. Es gibt drei Hauptursachen für die Leistungsaufnahme von CMOS-Schaltungen, nämlich die Schaltleistung, die Kurzschlussleistung und die statische Leistung (Gleichstrom). Die Schaltleistung tritt während dem Laden und Entladen der Lastkapazitäten des Schaltkreises auf. Die Kurzschlussleistung entsteht, wenn der pMOS- und der nMOS-Transistor gleichzeitig durchschalten was bei einem low-high oder high-low Übergang kurzzeitig der Fall ist. Eine Statische Leistung entsteht dann, wenn ein Ruhestrom durch die Transistoren fließt. Bei idealen CMOS-Schaltungen kann kein Ruhestrom auftreten, weil zwischen der Versorgungsspannung und Masse immer mindestens ein gesperrter Transistor liegt. Leider zeigen reale gesperrte Transistoren einen kleinen Leckstrom, der nun trotzdem zu einer gewissen Ruheleistung führt. Die gesamte Leistungsaufnahme wird hauptsächlich durch die Schaltleistung beeinflusst, jedoch sind die anderen beiden Leistungsaufnahmen nicht vernachlässigbar, besonders nicht in Submicron-Technologien.

Der Addierer ist eines der wichtigsten Elemente eines Mikroprozessors. Addierer sind die elementaren Blöcke für andere Operationen wie Subtraktion, Multiplikation oder Division. Daher ist der Addierer der kritische Faktor für die Leistungsaufnahme und die Performance eines Prozessors. Um einen guten Addierer zu entwerfen, müssen daher folgende Eigenschaften berücksichtigt werden: Verzögerungszeit, Leistungsaufnahme, Leistungs-Verzögerungs-Produkt, Fläche, Aussteuerung des Ausgangs und Ausgangsstroms. Beim Layout ist auch noch die Gleichmässigkeit der Schaltung und die Verbindungskomplexität zu berücksichtigen.

In dieser Diplomarbeit werden Volladdierer, sowie vier-zu-zwei- und fünf-zu-zwei-Kompressoren, mit hspice simuliert und auf eine möglichst niedrige Leistungsaufnahme bei bestmöglicher Performance optimiert. Danach wird das Layout dieser Schaltungen erstellt und eine Simulation mit den aus dem Layout extrahierten Daten durchgeführt. Diese Resultate werden mit der Simulation von anderen Addierern verglichen, um zu sehen wie viel besser die neue Schaltung ist.