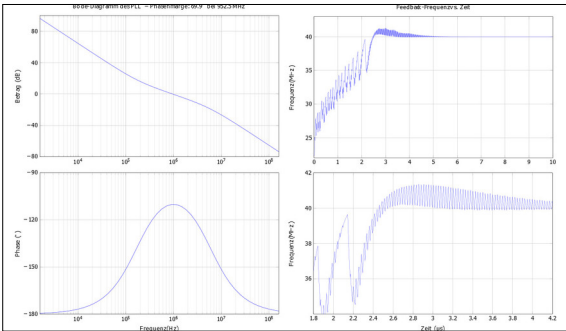


Roy Diego Seitz

Student	Roy Diego Seitz
Examinator	Prof. Guido Keel
Themengebiet	Sensor, Actuator and Communication Systems

Entwicklung eines PLL für ToF-Anwendungen

Zeitliche Referenz für Auflösungen < 17 ps



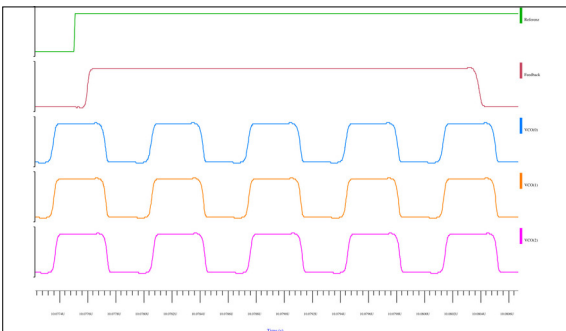
Simulation des Modells, links: Bode-Diagramm (linearisiert), rechts: nichtlineare Schritt-Antwort des PLL

Aufgabenstellung: Die Distanzmessung mittels Laufzeitmessung (Time of Flight, ToF) von Ultraschall-Wellen wird seit Langem eingesetzt, die Laufzeitmessung von Lichtwellen ist eine Methode, die erst durch die immer schnelleren elektronischen Schaltungen technisch möglich geworden ist.

Es gibt heute kommerzielle Time To Digital Converters ICs (TDCs), die Laufzeitunterschiede von weniger als 50 ps messen können. In dieser Arbeit soll eine Schaltung entstehen, welcher zeitliche Unterschiede < 17 ps auflösen kann.

Vorgehen / Technologien: Die HSR besitzt Zugang zu einem Silizium-Germanium-BiCMOS-Prozess von IHP, SG13S, welcher besonders hohe Bipolar-Performance von bis zu 330 GHz Oszillationsfrequenz verspricht.

Die geforderte, zeitliche Auflösung von 17 ps soll durch einen Phasen-Regelkreis (Phase Locked Loop, PLL) basierend auf einem Ringoszillator (RO) erreicht werden. Die Verzögerung eines Gatters des ROs entspricht dann der Auflösung des Systems.



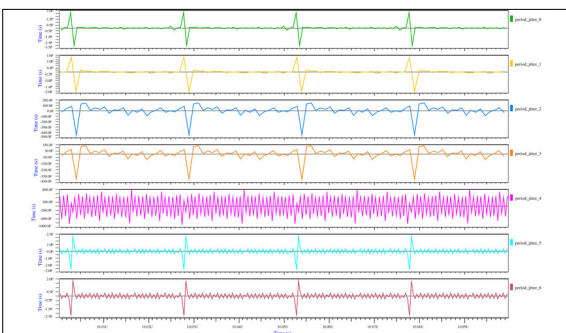
Eingeschwungener Zustand der PLL mit Referenz- und Feedback-Signal, sowie den ersten drei Ausgängen des Ringoszillators

Der PLL soll später zusammen mit einem weiteren Design auf einem Multi Project Wafer (MPW) produziert werden. Als Design-Kriterium gilt vorerst nur die zeitliche Auflösung.

Ergebnis: Zusätzlich zum linearen Standard-Modell eines PLL ist ein Modell in Matlab / Simulink entstanden, welches alle wesentlichen Nichtlinearitäten enthält. Dieses Modell erlaubt sowohl eine schnelle und genaue Simulation im Zeitbereich, als auch erste Abschätzungen zur Genauigkeit.

Anschliessend wurden die Schemas gezeichnet. Der Ringoszillator wurde aus CML-Buffern erstellt, welche auf den erwähnten Bipolar-Transistoren basieren. Diese Architektur erlaubt es, die Verzögerung der Buffer durch einen Referenzstrom in einem relativ grossen Bereich zu steuern.

Aufgrund der hohen Geschwindigkeiten von bis zu 3 GHz wurde das Ausgangssignal des RO über eigens hierfür erstellte D-Flipflop geteilt, bevor die weitere Verarbeitung in Standard-CMOS-Logik erfolgt.



Jitter des PLL für alle Prozess-Corner nach SPICE-Simulation.

Die Nominalfrequenz des PLL beträgt 1.6 GHz. Der Ringoszillator liefert 36 phasenverschobene Ausgangssignale, was einer nominalen Auflösung von 8.6 ps entspricht. Nach Simulation benötigt das Design rund 104 mW. und erreicht einen Jitter in der Grössenordnung von 1 ps.